

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Attorney Docket No.: 40296-0043

Applicant: Kwang Hyun KIM et al.

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: December 8, 2003

Art Unit: Unassigned

Title: INTERNAL VOLTAGE GENERATOR OF SEMICONDUCTOR  
DEVICE COMPRISING CHARACTERISTIC CONTROLLER

**CLAIM FOR CONVENTION PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

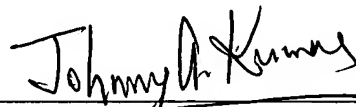
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

**Korean Patent Application No. 10-2003-0008254 filed February 10, 2003**

Respectfully submitted,

Date: December 8, 2003

By

  
Johnny A. Kumar

HELLER EHRMAN WHITE &  
MCAULIFFE  
1666 K Street, N.W., Suite 300  
Washington, DC 20006  
Telephone: (202) 912-2000  
Facsimile: (202) 912-2020

Attorney for Applicant  
Registration No. 34,649  
Customer No. 26633



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0008254  
Application Number

출원 년 월 일 : 2003년 02월 10일  
Date of Application FEB 10, 2003

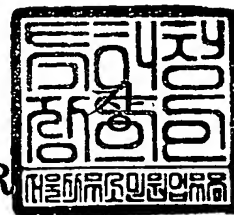
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.02.10
【국제특허분류】	H01L
【발명의 명칭】	특성 조절 장치를 구비한 반도체 장치의 내부전압 발생장치
【발명의 영문명칭】	An Internal Voltage Generator of a Semiconductor Device Comprising a Device for Controlling a Characteristic of a Internal Voltage
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	1999-054155-9
【발명자】	
【성명의 국문표기】	김광현
【성명의 영문표기】	KIM,Kwang Hyun
【주민등록번호】	770428-1382119
【우편번호】	745-130
【주소】	경상북도 문경시 흥덕동 주공아파트 1-107
【국적】	KR
【발명자】	
【성명의 국문표기】	남영준
【성명의 영문표기】	NAM,Young Jun
【주민등록번호】	690921-1117230

【우편번호】 135-827  
【주소】 서울특별시 강남구 논현동 184-14(#301)  
【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
이후동 (인) 대리인  
이정훈 (인)  
【수수료】  
【기본출원료】 20 면 29,000 원  
【가산출원료】 8 면 8,000 원  
【우선권주장료】 0 건 0 원  
【심사청구료】 12 항 493,000 원  
【합계】 530,000 원  
【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명에 의한 반도체 장치의 내부전압 발생장치는 테스트 모드 신호, 외부 신호, 및 내부의 설정 장치에 저장된 신호를 입력받아 제어신호를 출력하는 튜닝부; 상기 제어신호를 입력받아 특성 제어신호를 출력하는 특성 제어부; 및 레퍼런스 입력신호 및 상기 특성 제어신호를 입력받아 내부전압의 특성을 조절하여 출력하는 내부전압 발생부를 포함한다.

**【대표도】**

도 2

**【명세서】****【발명의 명칭】**

특성 조절 장치를 구비한 반도체 장치의 내부전압 발생장치{An Internal Voltage Generator of a Semiconductor Device Comprising a Device for Controlling a Characteristic of a Internal Voltage }

**【도면의 간단한 설명】**

도1은 종래 기술에 의한 내부전압 발생장치, 어드레스 회로, 및 데이터 출력 회로.

도2는 본 발명에 의한 내부전압 발생장치의 구성을 나타내는 블록도.

도3은 도2에 도시된 VRC 발생기(400)의 세부 구성도.

도4a는 도3에 도시된 RC 선택부(410)의 구성도.

도4b는 도2에 도시된 RC 선택 제어부(130)를 나타내는 블록도.

도5a는 도3에 도시된 R 선택부(420)의 구성도.

도5b는 도2의 R 선택 제어부(230)를 나타내는 블록도.

도6a 및 도6b는 도2의 퓨즈 튜닝부(120, 220) 및 퓨즈 튜닝부의 논리 테이블.

도7은 도1의 제1 테스트 모드 블록(100)에 구비된 디멀티플렉서(100)의 세부 구성도.

도8은 도2에 도시된 데이터 출력 회로(300)의 블록도.

도9는 튜닝 전의 내부전압 발생장치의 특성을 나타내는 그래프.

도10은 튜닝 후의 내부전압 발생장치의 특성을 나타내는 그래프.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <13> 본 발명은 반도체 장치의 내부전압 발생장치에 관한 것으로서 특히 부하의 변동이나 노이즈 등에 의하여 발생하는 내부전압의 진동을 패키지 레벨에서 모니터링하고 내부전압 발생회로의 특성을 최적화하기에 필요한 보상값을 찾아냄으로써 안정된 내부전압을 얻을 수 있는 내부전압 발생장치에 관한 것이다.
- <14> 도1은 종래의 기술에 의한 반도체 장치의 내부전압 발생장치(1), 어드레스 회로(2), 및 데이터 출력 회로(3)를 나타내는 블록도이다. 종래의 장치에서는 내부전압 발생장치(1), 어드레스 회로(2), 및 데이터 출력회로(3)가 모두 별도의 회로로 분리되어 있었다.
- <15> 내부전압 발생장치(1)는 밴드갭 레퍼런스 발생장치(10), VR1 발생기(20), VR2 발생기(30), VRC 발생기(40), 및 VCore 드라이버(50)로 구성된다. 각 장치는 직렬로 연결되며 VCore 드라이버(50)에서 최종적으로 내부전압 VCore가 출력된다. 어드레스 회로(2)는 어드레스 패드(60)와 어드레스 디코더(61)로 구성되고, 데이터 출력 회로(3)는 Dout 버퍼(70)와 DQ 패드(71)로 구성된다.
- <16> 종래의 반도체 장치에서는 제조된 반도체 장치에 대한 테스트를 수행한 결과를 반영하기 위해서는 마스크 레벨의 작업을 반복해야 하는 문제가 있어서 최종 제품의 생산에 시간과 자본이 중복적으로 투자되는 문제가 있었으며, 패키지 레벨에서 테스트를 진행하는 경우에도 기존의 어드레스 입력핀이나 데이터 출력 핀 이외에 별도의 테스트 용 핀을 추가해야 하는 문제가 있었다.

**【발명이 이루고자 하는 기술적 과제】**

<17> 위와 같은 종래 기술의 문제점을 해결하고자 본 발명은 테스트 모드에서 내부전압 발생 장치에 포함된 드라이버 회로의 극점과 영점을 조절하는데 있어서 어드레스 패드와 데이터 패드를 테스트용으로 사용함으로써, RC 모델의 값을 어드레스 패드를 통하여 입력되는 선택 어드레스를 이용하여 선택하고, 데이터 패드를 통하여 출력되는 값을 모니터링 하여 내부전압의 특성을 향상시키도록 하는 RC 모델의 조합을 선택함으로써 안정된 DC 전원값을 생성할 수 있도록 한다. 또한 테스트 결과를 내부에 포함된 퓨즈를 이용하여 반영함으로써 제품의 생산에 추가적인 시간 및 비용의 소모를 최소화하는 것을 목적으로 한다.

**【발명의 구성 및 작용】**

<18> 본 발명에 의한 반도체 장치의 내부전압 발생장치는 테스트 모드 신호, 외부 신호, 및 내부의 설정 장치에 저장된 신호를 입력받아 제어신호를 출력하는 튜닝부; 상기 제어신호를 입력받아 특성 제어신호를 출력하는 특성 제어부; 및 레퍼런스 입력신호 및 상기 특성 제어신호를 입력받아 내부전압의 특성을 조절하여 출력하는 내부전압 발생부를 포함한다.

<19> 이하에서는 첨부한 도면을 참고하여 본 발명의 실시예에 대하여 상세히 설명한다.

<20> 도2는 본 발명에 의한 내부전압 발생장치의 구성을 나타내는 블록도이다. 본 발명에 의한 내부전압 발생장치는 내부전압 발생부, 제1 테스트 모드 블록(100), 제2 테스트 모드 블록(200), 및 데이터 출력회로(300)를 포함한다.

<21> 내부전압 발생부는 밴드 갭 레퍼런스 제공부(10), VR1 발생기(20), VR2 발생기(30), VRC 발생기(400), 및 VCore 드라이버(40)을 포함한다. 제1 테스트 모드 블록(100)은 제어신호 Tm\_enable에 응답하여 어드레스 패드(60a)에 입력된 신호를 로우 및 칼럼 어드레스 디코더



(61a) 또는 퓨즈 튜닝부(120)에 제공하는 디멀티플렉서(110), 및 퓨즈 튜닝부(120)의 출력을 입력받아 RC 선택신호 S<0,5>를 출력하는 RC 선택 제어부(130)를 포함한다. 제2 테스트 모드 블록(200)은 제어신호 Tm\_enable에 응답하여 어드레스 패드(60b)에 입력된 신호를 로우 및 칼럼 어드레스 디코더(61b) 또는 퓨즈 튜닝부(220)에 제공하는 디멀티플렉서(210), 및 퓨즈 튜닝부(220)의 출력을 입력받아 R 선택신호 S<6,9>를 출력하는 R 선택 제어부(230)를 포함한다. 퓨즈 튜닝부(120, 220)는 테스트 모드에서는 어드레스 패드를 통해 입력되는 신호를 상기 RC 선택 제어부(130) 및 R 선택 제어부(230)에 제공하나, 테스트 모드가 종료하면 테스트 모드 수행 결과 결정된 출력 상태를 내부에 포함된 퓨즈에 프로그램하여 이를 RC 선택 제어부(130) 및 R 선택 제어부(230)에 제공한다.

<22> 테스트 전압 출력부(300)는 제어신호 Tm\_enable에 응답하여 VCore 드라이버의 출력 VCore 또는 Dout 버퍼(70)의 출력을 DQ 패드(71)에 제공하는 멀티플렉서(310)를 포함한다.

<23> VRC 발생기(400)는 RC 선택부(130)에서 출력된 선택신호 S<0,5> 및 R 선택부(230)에서 출력된 선택신호 S<6,9>를 이용하여 내부에 포함된 전압 발생회로의 극점과 영점을 조정하여 출력 전압인 VRC의 안정도를 조절한다. VRC 발생기(400)의 상세한 구성은 아래에서 설명한다.

<24> 도3은 본 발명에 의한 VRC 발생기(400)의 회로도이다. VRC 발생기(400)는 일반적으로 2단 증폭기를 사용한다. 제1 증폭단은 커런트미러를 구성하는 PMOS 트랜지스터(P1, P2), 상기 커런트 미러와 연결되어 차동입력부를 구성하는 NMOS 트랜지스터(N1, N2), 바이어스 전압이 입력되는 NMOS 트랜지스터(N3)를 포함한다. 제2 증폭단은 PMOS 트랜지스터(P3)와 NMOS 트랜지스터(N4)를 포함한다.

<25> PMOS 트랜지스터 P1과 P2의 소스와 게이트는 각각 연결되며, 소스는 전원 VCC에 연결된다. PMOS 트랜지스터 P1의 드레인과 NMOS 트랜지스터 N1의 드레인, PMOS 트랜지스터 P2의 드레

인과 NMOS 트랜지스터 N2의 드레인은 각각 연결된다. NMOS 트랜지스터 N1, N2의 소스는 NMOS 트랜지스터 N3의 드레인과 연결된다. NMOS 트랜지스터 N1의 게이트에는 입력신호 input이 제공되고, NMOS 트랜지스터 N2의 게이트에는 제2 증폭단의 출력부(B)가 피드백된다. NMOS 트랜지스터 N3의 게이트에는 입력신호 bias가 제공된다. 제1 증폭단의 출력부는 PMOS 트랜지스터 P1의 드레인(A)이다.

<26> PMOS 트랜지스터 P3의 게이트는 제1 증폭단의 출력부(A)가 연결되고, 소스는 전원 VCC와 연결되며, 드레인은 NMOS 트랜지스터 N4의 드레인과 연결된다. NMOS 트랜지스터 N4의 게이트에는 입력신호 bias가 제공되고, 소스는 그라운드와 연결된다.

<27> 전술한 바와 같은 2단 증폭기는 두개의 극점을 갖는 시스템으로서 주파수 안정성을 고려하여 60도 이상의 페이즈 마진을 확보해야 한다. 페이즈 마진은 진폭응답이 0dB일 때 위상 응답값과 -180도와의 차이를 말한다. 이러한 시스템의 페이즈 마진을 확보하기 위해 사용하는 일반적인 방법으로서 가장 대표적인 것이 제2 증폭단의 입출력 단자 사이를 커패시터로 연결함으로써 두 개의 주요 극점을 분리시켜 안정성을 개선하는 "밀러 보상 방법"이다. 이 경우 단자 A에서 단자 B로 피드포워드 경로가 생겨서 오른쪽 주파수 평면에 영점이 발생한다. 이를 제거하기 위해서 커패시터와 저항을 직렬로 연결한 RC 선택부(410)을 사용한다. 또한 단자(B)와 출력단(output) 사이에 R 선택부(420)를 연결하여 출력단(output)과 그라운드 사이에 연결된 커패시터(C1)와 함께 제2 극점의 위치에 영점이 생성되도록 함으로써 상쇄효과로 인해 페이즈마진을 개선시킨다.

<28> 도4a는 본 발명에 의한 RC 선택부(410)의 구성을 나타낸다. 제2 증폭단의 입출력 단자 사이에는 복수개의 RC 모델(411~416)이 병렬로 연결된다. 외부에서 입력된 제어신호 s0 ~ s5에 응답하여 복수개의 RC 모델 중 하나가 선택되어 단자 A와 B의 사이에 연결된다.

- <29> 도4b는 본 발명에 의한 RC 선택 제어부(130)의 구성을 나타낸다. RC 선택 제어부(130)는 복수개의 제어신호 cut<0:2> 및 cutb<0:2>를 입력받아 제어신호 s<0:5>를 출력한다. 예를 들어 s0가 "로우"이고 나머지는 "하이"인 경우 RC 모델 1(411)이 단자 A와 B의 사이에 연결된다.
- <30> 도5a는 본 발명에 의한 R 선택부(420)의 구성을 나타낸다. R 선택부(420)는 복수개의 직렬로 연결된 저항(421~424)으로 구성된다. 각각의 저항 양단은 PMOS 트랜지스터의 소스 및 드레인과 각각 연결된다. 각 PMOS 트랜지스터의 게이트에는 제어신호 s6 ~ s9가 연결되어 제어신호에 따라서 단자 B와 단자 C 사이의 저항값을 조절한다. 예를 들어 s6이 "하이"이고 나머지는 모두 "로우"인 경우 단자 B와 단자 C의 사이에는 저항 421만이 연결된 것과 같다.
- <31> 도5b는 본 발명에 의한 R 선택 제어부(230)의 구성을 나타낸다. R 선택 제어부(230)는 복수개의 제어신호 cut<3:6> 및 cutb<3:6>를 입력받아 이를 소정의 방식으로 디코딩하여 제어신호 s<6:9>를 출력한다.
- <32> 도6a는 본 발명에 의한 퓨즈 튜닝부(120, 220)의 구성을 나타낸다. 퓨즈 튜닝부(120, 220)는 NMOS 트랜지스터(N1), 커패시터(C1), 인버터(I1, I2, I3, I4), 및 NAND 게이트(ND1, ND2)를 포함한다. 퓨즈는 전원 VCC와 NMOS 트랜지스터(N1)의 드레인 사이에 직렬로 연결된다. NMOS 트랜지스터 N1의 게이트는 인버터(I1)의 출력단자와 연결되고, 소스는 그라운드와 연결된다. 커패시터 C1은 NMOS 트랜지스터 N1의 드레인과 그라운드 사이에 연결된다. 인버터 I1과 I2는 NMOS 트랜지스터 N1의 드레인과 직렬로 연결된다. NAND 게이트 ND2에는 인버터 I2 및 NAND 게이트 ND1의 출력이 입력된다. 인버터 I3과 I4는 NAND 게이트 ND2의 출력과 직렬로 연결된다. NAND 게이트 ND1에는 입력신호 input과 제어신호 Tm\_enable이 입력된다. 출력신호 cut는 인버터 I4에서 출력되고, 출력신호 cutb는 인버터 I3에서 출력된다.

- <33> 도6b의 논리표를 참고로 퓨즈 튜닝부(120, 220)의 동작을 설명한다. 퓨즈가 절단된 상태이면 인버터 I1에는 "로우"가 입력된다. 따라서 출력신호 cut는 "하이", 출력신호 cutb는 "로우"가 된다. 반대로 퓨즈가 연결된 상태이면 인버터 I1에는 "하이"가 입력된다. 따라서 NAND 게이트 ND1의 출력이 "하이"라고 가정하면 출력신호 cut는 "로우", cutb는 "하이"가 된다. 출력신호 cut 및 cutb는 RC 선택 제어부(130) 및 R 선택 제어부(230)에 입력되어 최적의 RC 모델 및 R 값을 선택할 수 있도록 한다.
- <34> 테스트 모드에서는 퓨즈가 연결된 상태를 유지한다. 따라서 인버터 I2의 출력은 "하이"가 되고, 제어신호 Tm\_enable이 "하이"이므로 입력신호 input에 의해 출력신호 cut 및 cutb를 제어할 수 있다. 따라서 테스트 모드에서는 다양한 조합을 시험하여 최적의 RC 모델과 R 값을 선택한다. 테스트 모드가 종료하면 제어신호 Tm\_enable이 "로우"가 되므로 테스트 결과를 이용하여 연결하거나 절단된 퓨즈의 상태에 의존하여 출력신호 cut 및 cutb가 출력된다.
- <35> 도7은 본 발명에 의한 제1 테스트 모드 블록(100)에 포함된 디멀티플렉서(110)의 구성을 나타낸다. 전술한 바와 같이 테스트 모드에서는 입력신호의 레벨에 따라서 RC 선택 제어부(130)를 제어하게 된다. 이때 입력신호는 어드레스 패드(60a, 60b)를 통해 제공된다(A0~A2). 테스트 모드인 경우에는 어드레스 패드를 통해 입력된 신호를 테스트 용 입력신호(TAT0, TAT1, TAT2)로 사용하여 퓨즈 튜닝부(120, 220)에 제공하고, 테스트 모드가 아닌 경우에는 일반 어드레스 신호(AT0, AT1, AT2)로 사용하여 어드레스 디코더(61a, 61b)에 제공한다.
- <36> 제2 테스트 모드 블록(200)에 포함된 디멀티플렉서(210)의 구성은 이와 동일하므로 설명을 생략한다.
- <37> 도8은 본 발명에 의한 데이터 출력회로의 구성을 나타낸다. 테스트 모드에서 테스트 결과 얻은 내부전압 Vcore는 DQ 패드로 출력된다. 이를 위하여 멀티플렉서(310)가 제공된다. 테

스트 모드에서는 Dout 버퍼를 하이임피던스 상태로 만들고, 내부전압 Vcore가 출력되는 라인을 DQ 패드와 연결한다.

- <38> 테스트 모드가 아닌 경우에는 내부전압 Vcore가 출력되는 라인을 DQ 패드로부터 분리하고, Dout 버퍼를 활성화하여 DQ 패드와 연결될 수 있도록 한다.
- <39> 따라서 테스트 모드에서는 어드레스 패드에 제공되는 신호의 변화에 따라서 DQ 패드로 출력되는 신호의 변화 상태를 검사할 수 있다. 이로써 DQ 패드로 출력되는 신호가 최적의 특성을 나타내는 경우의 어드레스 패드에 입력되는 신호를 선택하여 선택된 입력신호와 동일한 출력을 얻도록 내부의 퓨즈를 프로그램할 수 있다.
- <40> 도9는 튜닝 전 내부전압 발생장치에서 출력된 내부전압의 특성을 나타내는 그래프이다. 도9a는 피드백이 이루어지는 상태에서 측정한 것이고, 도9b는 피드백이 없이 입력에서 출력으로 신호가 전달되는 상태에서 측정한 것이다. 튜닝 전에 피드백이 이루어지는 경우에는 도9a와 같이 ac 시뮬레이션 데이터에 피크가 높게 나타나고, 피드백이 이루어지지 않는 경우에는 도9c와 같이 ac 시뮬레이션 데이터에 위상 마진이 거의 없는 것을 알 수 있다.
- <41> 도10은 튜닝 후 내부전압 발생장치에서 출력된 내부전압의 특성을 나타내는 그래프이다. 도9와 비교할 때, 도10a에서는 피크가 낮아지고 도10c에서는 위상 마진이 증가하였음을 알 수 있다.

#### 【발명의 효과】

- <42> 본 발명을 적용함으로써 패키지 레벨에서 테스트를 진행하고 테스트 결과를 퓨즈에 반영함으로써 특성 조정 결과를 반영하기 위해 마스크를 새로 작성할 필요가 없게 된다. 이로써 생산 비용 및 시간을 단축할 수 있다.

**【특허청구범위】****【청구항 1】**

테스트 모드 신호, 외부 신호, 및 내부의 설정 장치에 저장된 신호를 입력받아 제어신호를 출력하는 튜닝부;

상기 제어신호를 입력받아 특성 제어신호를 출력하는 특성 제어부; 및

레퍼런스 입력신호 및 상기 특성 제어신호를 입력받아 내부전압의 특성을 조절하여 출력하는 내부전압 발생부

를 포함하고

상기 테스트 모드 신호가 활성화 된 경우에는 상기 제어신호의 레벨은 상기 외부 신호에 따라 정해지고, 상기 테스트 모드 신호가 비활성화된 경우에는 상기 제어신호의 레벨은 상기 내부의 설정 장치에 저장된 신호에 따라 정해지는 것

것을 특징으로 하는 반도체 장치의 내부전압 발생장치.

**【청구항 2】**

제 1 항에 있어서,

상기 내부의 설정 장치는 퓨즈인 것을 특징으로 하는 반도체 장치의 내부전압 발생장치.

**【청구항 3】**

제 1 항 또는 제 2 항에 있어서,

상기 내부전압 발생장치는 상기 테스트 모드 신호에 응답하여 어드레스 패드에서 제공된 신호를 입력받아 상기 튜닝부 또는 어드레스 디코더에 제공하는 디멀티플렉서를 더 포함하는 것을 특징으로 하는 반도체 장치의 내부전압 발생장치.

**【청구항 4】**

제 1 항 또는 제 2 항에 있어서,

상기 내부전압 발생장치는 상기 테스트 모드 신호에 응답하여 상기 내부전압 발생부의 출력신호 또는 데이터 버퍼의 출력신호를 데이터 패드에 제공하는 멀티플렉서를 더 포함하는 것을 특징으로 하는 반도체 장치의 내부전압 발생장치.

**【청구항 5】**

테스트 모드 신호, 제1 외부 신호를 입력받아 제1 특성 제어신호를 출력하는 제1 테스트 모드 블록;

상기 테스트 모드 신호, 제2 외부 신호를 입력받아 제2 특성 제어신호를 출력하는 제2 테스트 모드 블록;

레퍼런스 입력신호, 상기 제1 특성 제어신호, 및 상기 제2 특성 제어신호를 입력받아 내부 전압을 출력하는 내부전압 발생부; 및

상기 테스트 모드 신호를 입력받아 상기 내부전압을 외부로 출력하는 데이터 출력부를 포함하는 것을 특징으로 하는 반도체 장치의 내부전압 발생장치.

**【청구항 6】**

제 5 항에 있어서, 상기 제1 테스트 모드 블록은

상기 테스트 모드 신호, 상기 제1 외부 신호, 및 제1 설정 장치에 설정된 신호를 입력 받아 소정의 제어신호를 출력하는 제1 튜닝부; 및

상기 소정의 제어신호를 입력받아 제1 특성 제어 신호를 출력하는 제1 특성 제어부를 포함하는 것을 특징으로 하는 반도체 장치의 내부전압 발생장치.

【청구항 7】

제 5 항에 있어서,

상기 제1 설정 장치는 퓨즈임을 특징으로 하는 반도체 장치의 내부전압 발생장치.

【청구항 8】

제 5 항에 있어서, 상기 제2 테스트 모드 블록은

상기 테스트 모드 신호, 상기 제2 외부 신호, 및 제2 설정 장치에 설정된 신호를 입력 받아 소정의 제어신호를 출력하는 제2 튜닝부; 및

상기 소정의 제어신호를 입력받아 제2 특성 제어 신호를 출력하는 제2 특성 제어부를 포함하는 것을 특징으로 하는 반도체 장치의 내부전압 발생장치.

【청구항 9】

제 8 항에 있어서,

상기 제2 설정 장치는 퓨즈임을 특징으로 하는 반도체 장치의 내부전압 발생장치.

【청구항 10】

제 5 항에 있어서, 상기 내부전압 발생부는



상기 레퍼런스 입력신호가 제공되는 제1 증폭단;

상기 제1 증폭단의 출력이 입력되는 제2 증폭단;

상기 제2 증폭단의 입출력 단자 사이에 연결되어 상기 제1 특성 제어 신호를 입력받는 제1 특성 조절부;

상기 제2 증폭단의 출력단자와 상기 내부전압 발생부의 출력단자 사이에 연결되어 상기 제2 특성 제어 신호를 입력받는 제2 특성 조절부; 및

상기 내부전압 발생부의 출력단자와 그라운드 사이에 연결된 커패시터를 포함하는 것을 특징으로 하는 반도체 장치의 내부전압 발생장치.

【청구항 11】

제 10 항에 있어서,

상기 제1 특성 조절부는 저항과 커패시터가 직렬로 연결된

RC 모델이 상기 입출력 단자 사이에 복수개 병렬로 연결된 것을 특징으로 하는 반도체 장치의 내부전압 발생장치.

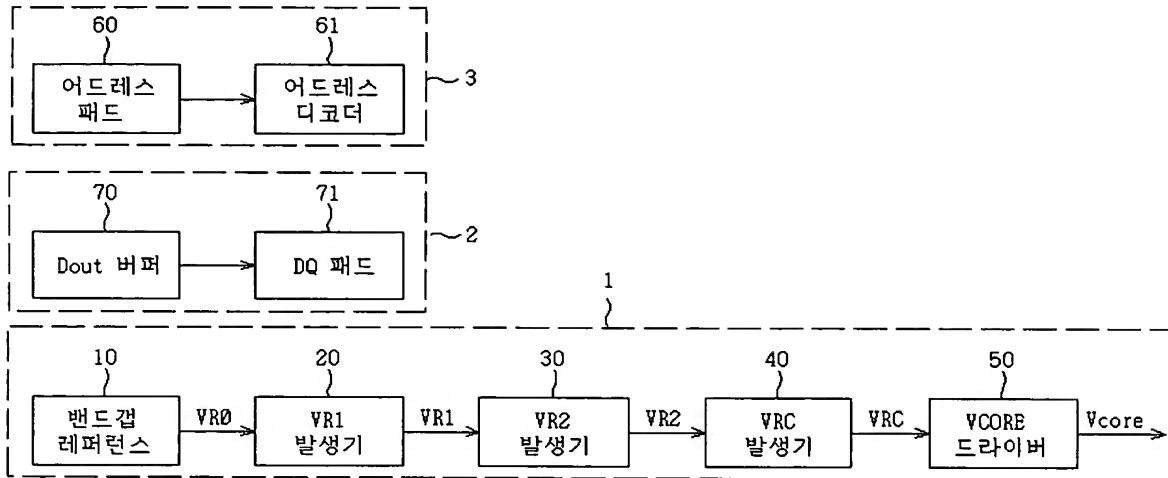
【청구항 12】

제 10 항에 있어서,

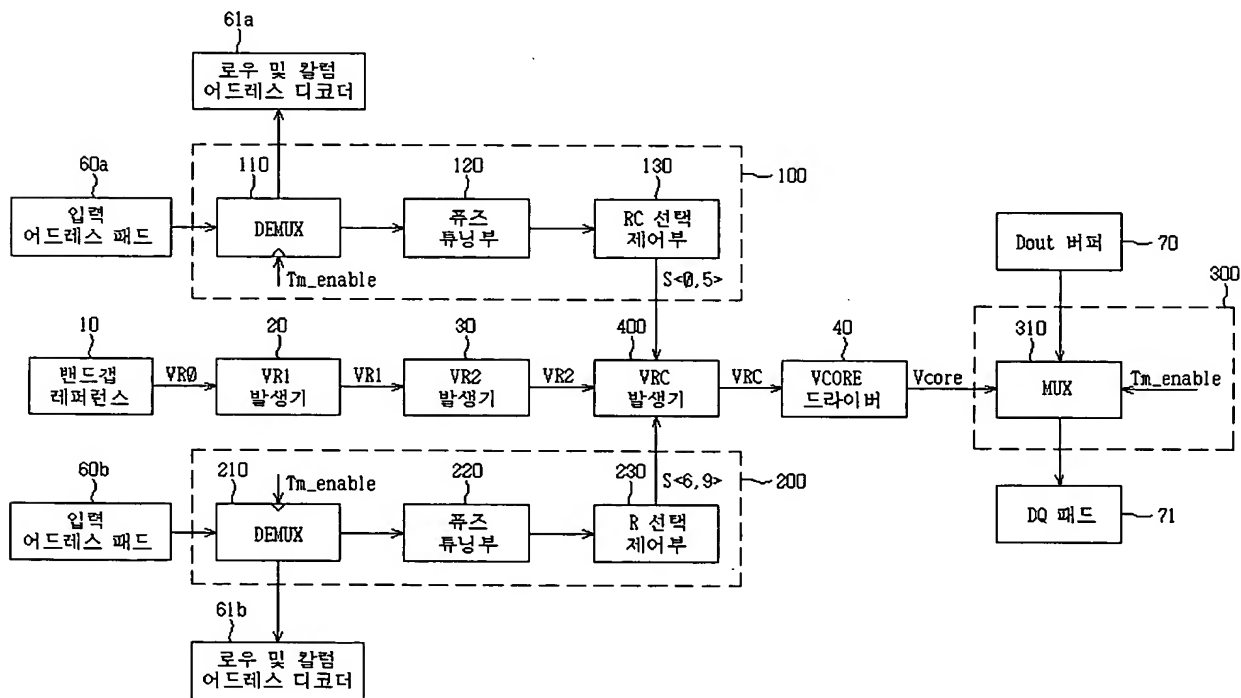
상기 제2 특성 조절부는 복수개의 저항을 포함하며 상기 복수개의 저항의 등가 저항은 상기 제2 특성 제어신호에 의하여 제어되는 것을 특징으로 하는 반도체 장치의 내부전압 발생장치.

## 【도면】

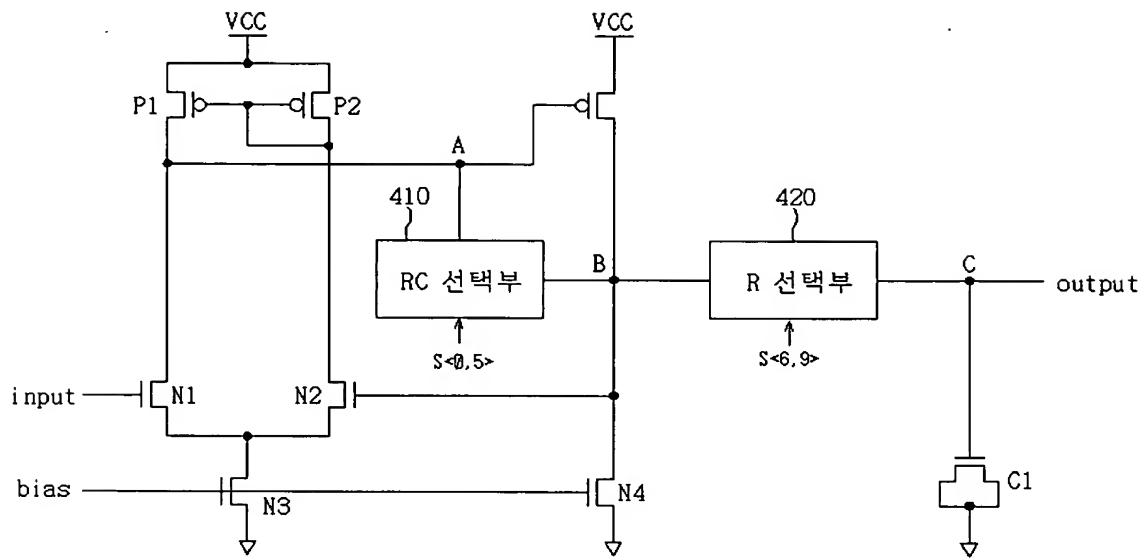
【도 1】



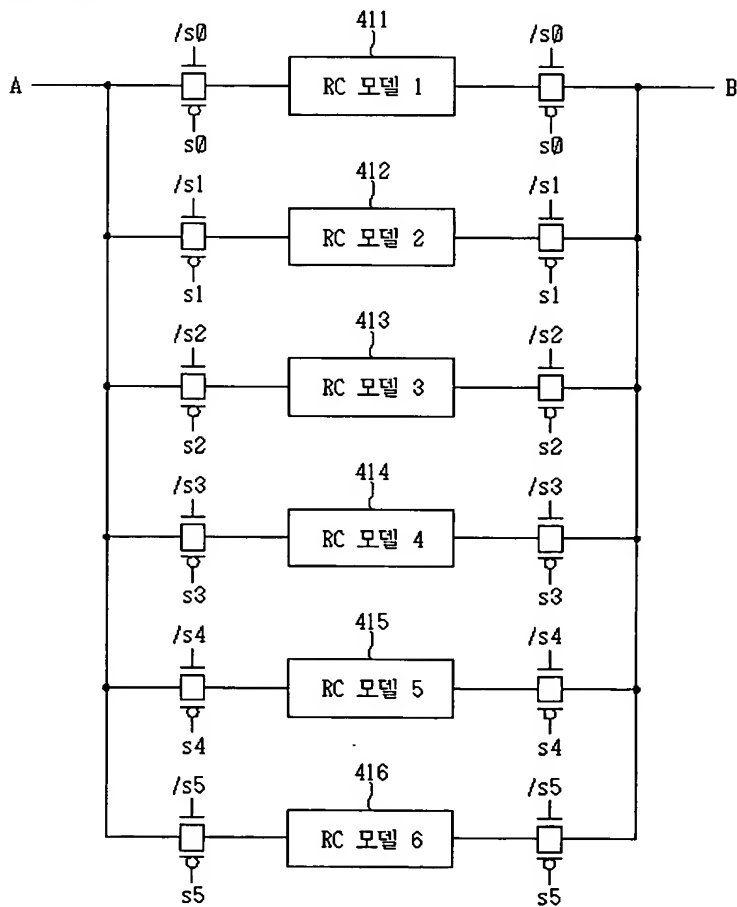
【도 2】



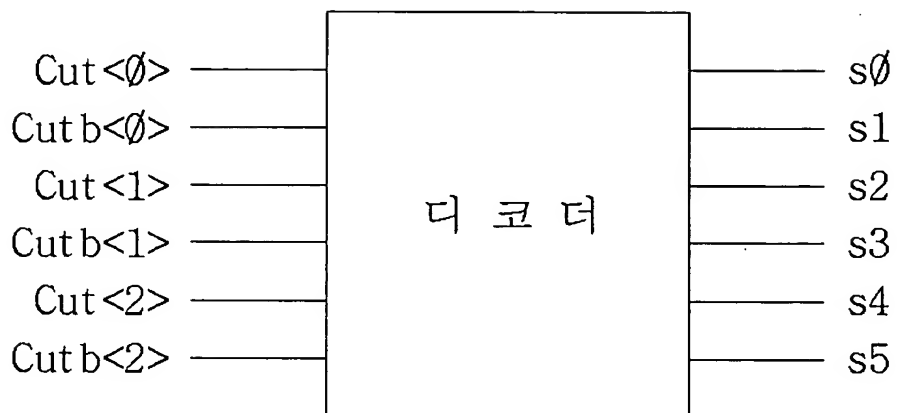
【도 3】



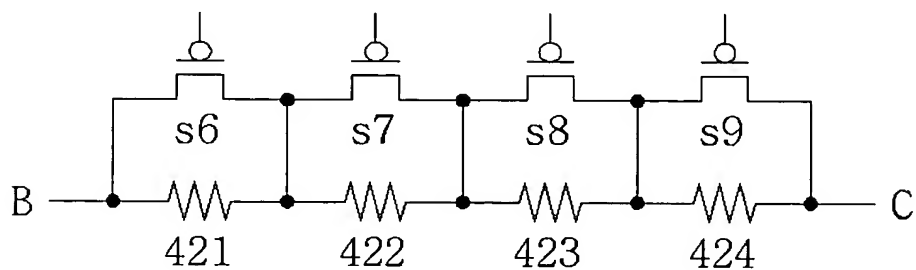
【도 4a】



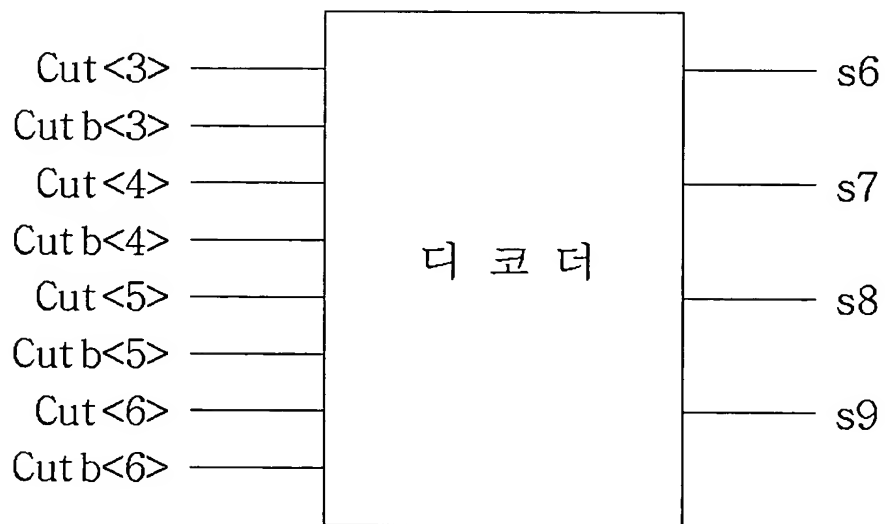
【도 4b】



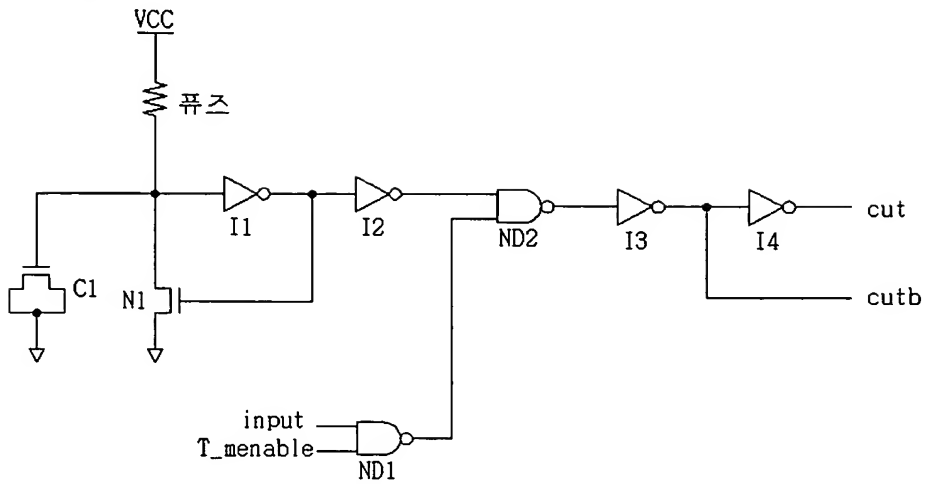
【도 5a】



【도 5b】



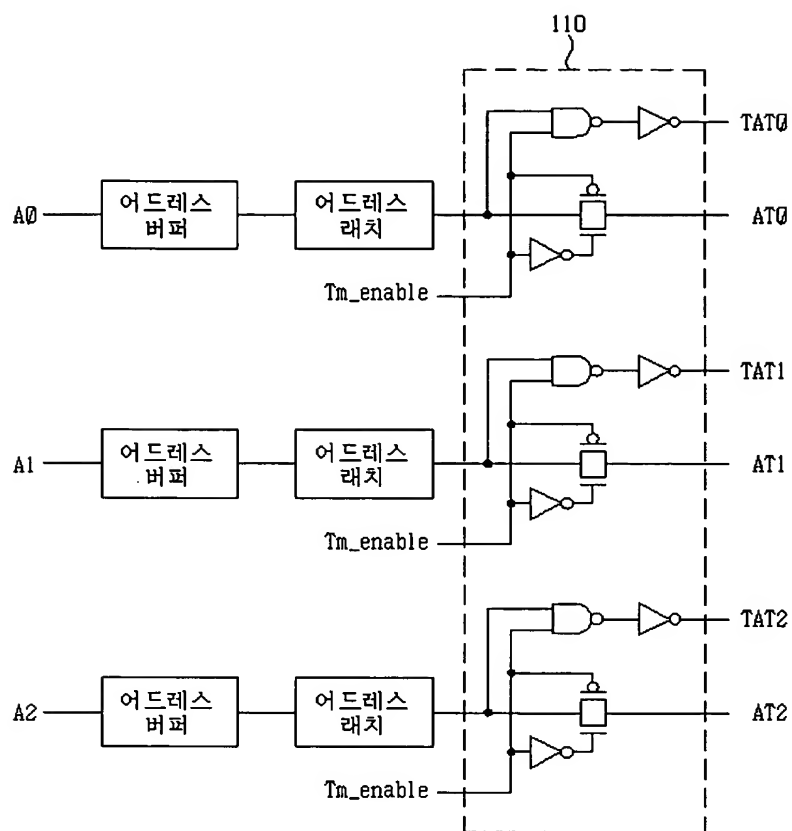
【도 6a】



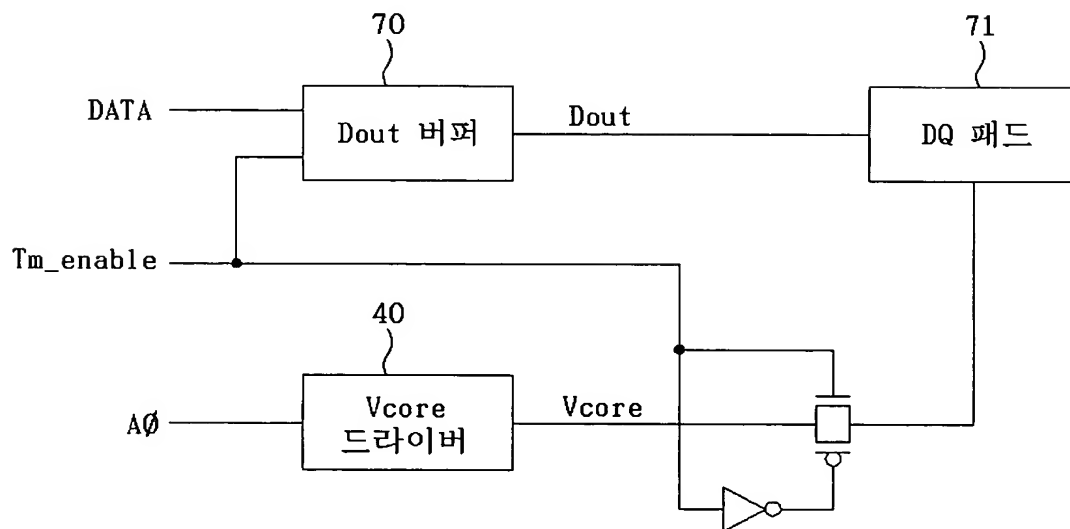
【도 6b】

퓨즈 절단		퓨즈 연결	
cut	cutb	cut	cutb
H	L	L	H

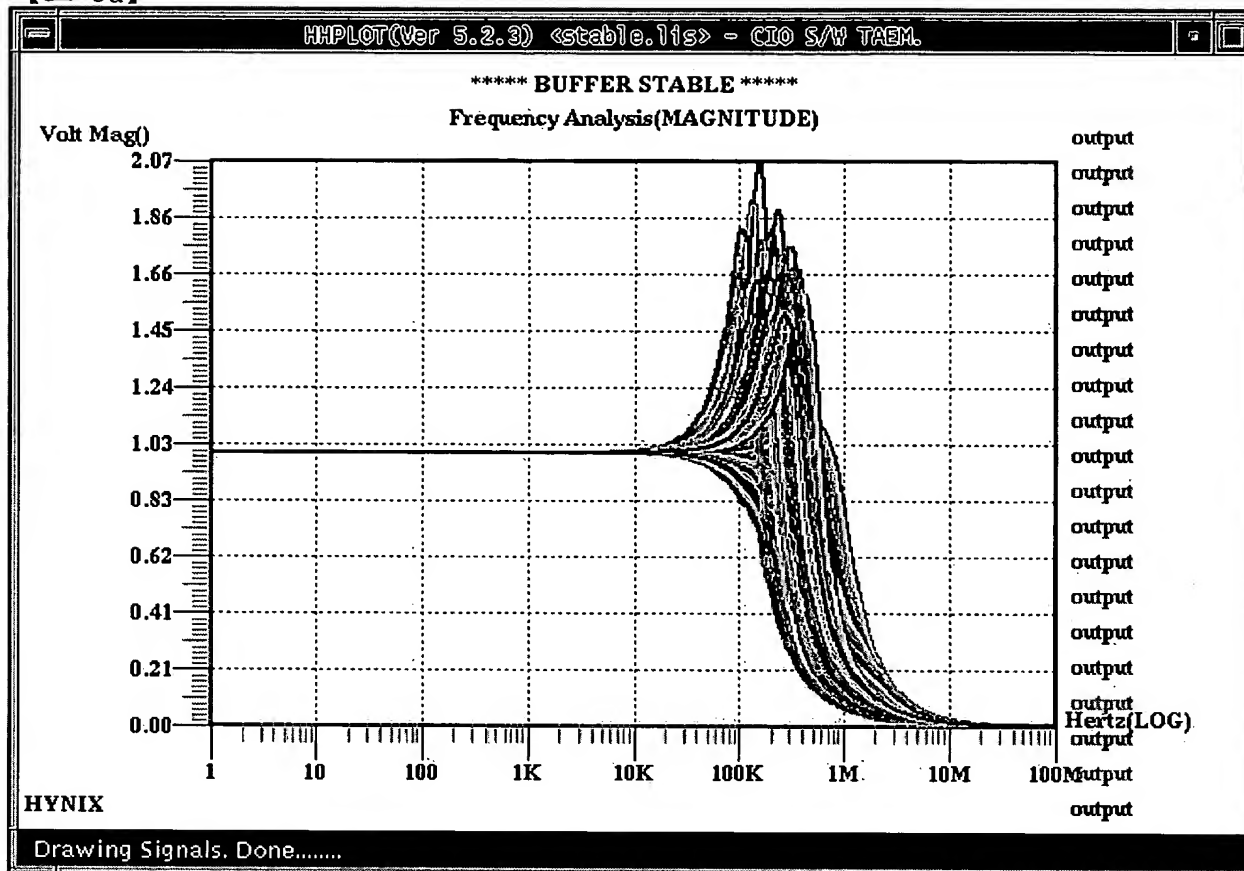
【도 7】



【도 8】



【도 9a】







\*\*\*\* BUFFER STABLE \*\*\*\*

Frequency Analysis(PHASE)

Volt Ph(Deg:)

180.00

144.00

108.00

72.01

36.01

0.01

-35.99

-71.99

-107.98

-143.98

-179.98

1

10

100

1K

10K

100K

1M

10M

100M

Hertz(LOG)

HYNIX

Drawing Signals. Done.....

[illegible]

HHPLOT(Ver 5.2.3) <stable.11s> - CIO S/W TAEM.

\*\*\*\*\* BUFFER STABLE \*\*\*\*\*

Frequency Analysis(DECIBEL)

Volt DB(DB:)

90.52

70.92

51.31

31.71

12.11

-7.49

-27.10

-46.70

-66.30

-85.91

-105.51

1

10

100

1K

10K

100K

1M

10M

100M

Hertz(LOG)

HYNIX

Drawing Signals. Done.....

【도 10c】

